

A/D CONVERSION CIRCUIT AND SOLID IMAGING DEVICE

Publication number: JP2002261613

Publication date: 2002-09-13

Inventor: FUJITA KAZUKI; MIZUNO SEIICHIRO

Applicant: HAMAMATSU PHOTONICS KK

Classification:

- International: H03M1/38; H03M1/68; H04N5/335; H03M1/46; H03M1/80; H03M1/38; H03M1/68; H04N5/335; H03M1/74; (IPC1-7): H03M1/38; H04N5/335

- European: H03M1/68; H04N5/335

Application number: JP20010052693 20010227

Priority number(s): JP20010052693 20010227

Also published as:



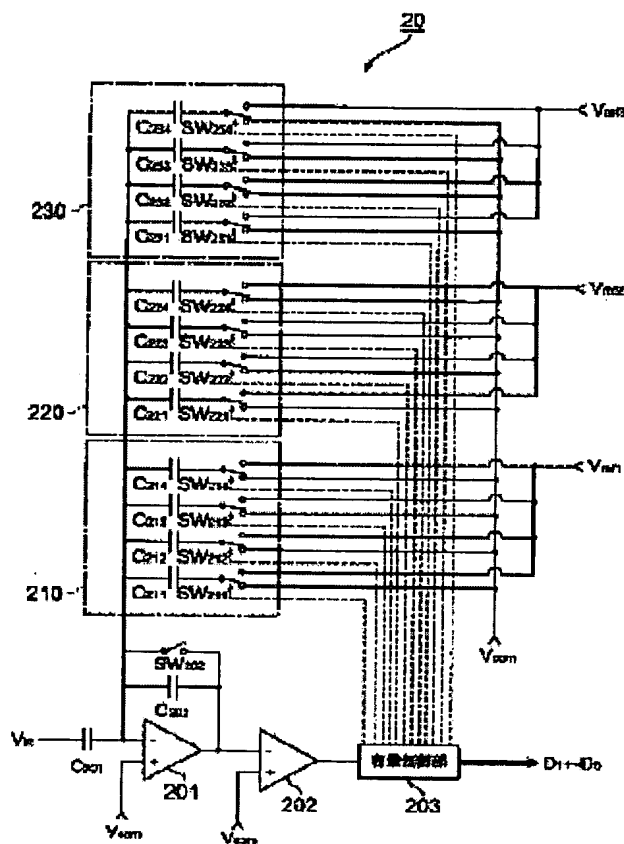
EP1365514 (A1)
WO02073808 (A1)
US6819281 (B2)
US2004070531 (A1)
EP1365514 (B1)

more >>

Report a data error here

Abstract of JP2002261613

PROBLEM TO BE SOLVED: To provide an A/D conversion circuit capable of easily realizing high speed and high precision in a small occupation area. **SOLUTION:** The A/D conversion circuit 20 includes a coupling capacity element C201, a feedback capacity element C202, a switch element SW202, an amplifier 201, a comparative part 202, a capacity control part 203, and variable capacity parts 210, 220 and 230. The variable capacity part 210 includes capacity elements C211 -C214, and switch elements SW211 -SW214. One end of the capacity elements C211 -C214 is connected to the inversion input terminal of the amplifier 201, the other end is connected to any one of a reference voltage value Vref1 and a reference voltage value Vcom through the switch elements SW211 -SW214.



Data supplied from the esp@cenet database - Worldwide

8/8

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-261613

(P2002-261613A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51) Int.Cl.⁷

識別記号

F I

テ-マコ-ト (参考)

H 0 3 M 1/38

H 0 3 M 1/38

5 C 0 2 4

H 0 4 N 5/335

H 0 4 N 5/335

Z 5 J 0 2 2

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21) 出願番号

特願2001-52693(P2001-52693)

(22) 出願日

平成13年2月27日 (2001.2.27)

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 藤田 一樹

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(72) 発明者 水野 誠一郎

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外3名)

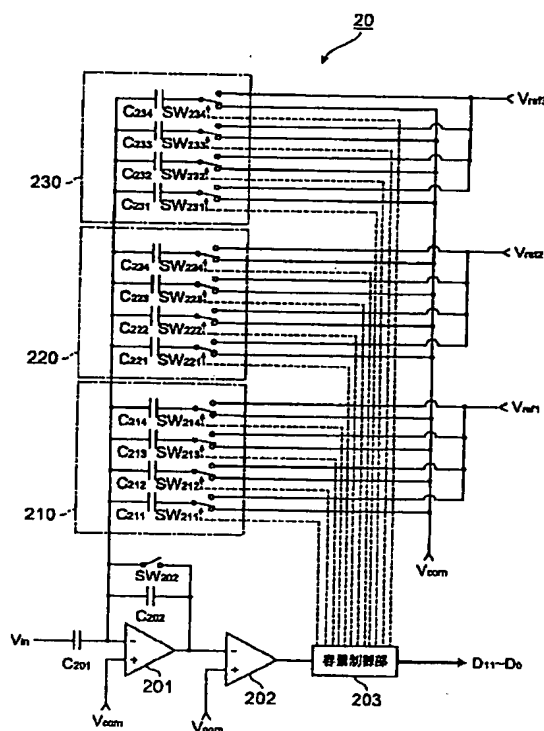
最終頁に続く

(54) 【発明の名称】 A/D変換回路および固体撮像装置

(57) 【要約】

【課題】 小さい占有面積で高速化および高精度化の双方を容易に実現することができるA/D変換回路を提供する。

【解決手段】 A/D変換回路20は、結合容量素子C₂₀₁、帰還容量素子C₂₀₂、スイッチ素子SW₂₀₂、アンプ201、比較部202、容量制御部203、可変容量部210、220および230を含む。可変容量部210は、容量素子C₂₁₁~C₂₁₄およびスイッチ素子SW₂₁₁~SW₂₁₄を含む。容量素子C₂₁₁~C₂₁₄は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₁₁~SW₂₁₄を介して参照電圧値V_{ref1}および基準電圧値V_{com}の何れかと接続される。



FP06-0490
-SOEP-XX
06.9.25
SEARCH REPORT

【特許請求の範囲】

【請求項1】 入力端に入力したアナログ値をデジタル値に変換し、そのデジタル値を出力端より出力するA/D変換回路であって、

第1入力端子、第2入力端子および出力端子を有し、前記第1入力端子が結合容量素子を介して前記入力端子に接続され、前記第2入力端子に基準電圧値 V_{com} を入力するアンプと、

前記アンプの前記第1入力端子と前記出力端子との間に設けられた帰還容量素子と、

前記アンプの前記第1入力端子と前記出力端子との間に設けられたスイッチ素子と、

前記アンプの前記第1入力端子に各々の一端が接続され容量値が異なる N_p 個の容量素子と、前記 N_p 個の容量素子それぞれの他端に入力する電圧値を前記基準電圧値 V_{com} および P_p 個の参照電圧値 $V_{ref,p,1} \sim V_{ref,p,P_p}$ の何れかに切り替える電圧値切替手段と、を各々有する M 個の可変容量部と（ $M \geq 1$ 、 $N_p \geq 1$ 、 $P_p \geq 1$ 、 $1 \leq m \leq M$ 、ただし、 $M = P_p = 1$ の場合を除く）、

前記アンプの前記出力端子から出力された電圧値と前記基準電圧値 V_{com} とを大小比較し、その比較結果を示す信号を出力する比較部と、

前記 M 個の可変容量部それぞれの前記電圧値切替手段における切替動作を制御するとともに、前記 M 個の可変容量部それぞれの前記電圧値切替手段における切替状況および前記比較部から出力された信号に基づいて、デジタル値を前記出力端へ出力する容量制御部と、を備えることを特徴とするA/D変換回路。

【請求項2】 M が1であり、 N_p および P_p それぞれが複数である、ことを特徴とする請求項1記載のA/D変換回路。

【請求項3】 M および N_p それぞれが1であり、 P_p が複数である、ことを特徴とする請求項1記載のA/D変換回路。

【請求項4】 入射光強度に応じた値の電流信号を出力する光検出素子と、

前記光検出素子から出力された電流信号を入力し積分して、この電流信号の積分値に応じた電圧値を出力する積分回路と、

前記積分回路から出力された電圧値を入力して、この電圧値をデジタル値に変換する請求項1記載のA/D変換回路と、

を備えることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アナログ値をデジタル値に変換するA/D変換回路、および、このA/D変換回路を含む固体撮像装置に関するものである。

【0002】

【従来の技術】 固体撮像装置は、1次元または2次元に

配列された複数の光検出素子と、各光検出素子から出力された電流信号を積分して電圧値に変換する積分回路と、を備えている。この固体撮像装置では、入射光強度に応じた値の電流信号が複数の光検出素子それぞれから出力され、この電流信号の積分値に応じた電圧値が積分回路から出力され、この電圧値に基づいて、入射光強度分布が得られ撮像される。また、固体撮像装置は、積分回路から出力された電圧値（アナログ値）をデジタル値に変換するA/D変換回路を更に備えている場合がある。この場合には、入射光強度はデジタル値として得られ、さらにコンピュータ等により画像処理することが可能となる。

【0003】 A/D変換回路の構成として、 N 組の容量素子およびスイッチ素子を含み、 N 個の容量素子のうち第 n の容量素子の容量値を $2^{n-1}C$ としたものが知られている（ $N \geq 2$ 、 $1 \leq n \leq N$ ）。このA/D変換回路は、入力したアナログ値に応じて、 N 個のスイッチそれぞれの開閉状態を適切に設定することで全体の容量値を適切に設定して、これら N 個のスイッチ素子それぞれの開閉状況に応じた N ビットのデジタル値を出力する。

【0004】 このような固体撮像装置においてA/D変換処理の高速化および高精度化が求められている。高速化を図るためには、積分回路毎にA/D変換回路を設けて並列処理を行うことがなされている。また、高精度化を図るためには、A/D変換回路から出力されるデジタル値のビット数を多くすることがなされている。したがって、A/D変換処理の高速化および高精度化の双方を図るためには、積分回路毎にA/D変換回路を設けて並列処理を行うとともに、各A/D変換回路における容量素子の数 N を多くすることが考えられる。

【0005】

【発明が解決しようとする課題】 しかしながら、上記のようなA/D変換回路を含む固体撮像装置を1つの半導体チップ上に構成しようとする場合、以下のような問題点が存在する。すなわち、チップ上における容量素子の占有面積は、その容量値に略比例する。したがって、ビット数が N である場合、A/D変換回路の N 個の容量素子が占有する面積は、容量値 $2^N C$ （ $= C + 2C + 2^2 C + \dots + 2^{N-1} C$ ）の容量素子1つ分の占有面積に相当する。すなわち、ビット数が1つ増えれば、A/D変換回路の全容量素子が占有する面積は2倍に増える。また、容量素子の容量値が大きいと、寄生容量も大きくなり、A/D変換処理を高速に行うことができない。したがって、従来のA/D変換回路を含む固体撮像装置は、積分回路毎にA/D変換回路を設けることによる高速化、および、A/D変換回路から出力されるデジタル値のビット数を多くすることによる高精度化の、双方を図るにも限界がある。

【0006】 本発明は、上記問題点を解消する為になされたものであり、小さい占有面積で高速化および高精度

10

20

30

40

50

化の双方を容易に実現することができるA/D変換回路、および、このA/D変換回路を含む固体撮像装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明に係るA/D変換回路は、入力端に入力したアナログ値をデジタル値に変換し、そのデジタル値を出力端より出力するA/D変換回路であって、(1) 第1入力端子、第2入力端子および出力端子を有し、第1入力端子が結合容量素子を介して入力端に接続され、第2入力端子に基準電圧値 V_{com} を入力するアンプと、(2) アンプの第1入力端子と出力端子との間に設けられた帰還容量素子と、(3) アンプの第1入力端子と出力端子との間に設けられたスイッチ素子と、(4) アンプの第1入力端子に各々の一端が接続され容量値が異なる N_m 個の容量素子と、 N_m 個の容量素子それぞれの他端に入力する電圧値を基準電圧値 V_{com} および P_m 個の参照電圧値 $V_{ref,m,1} \sim V_{ref,m,P_m}$ の何れかに切り替える電圧値切替手段と、を各々有する M 個の可変容量部と($M \geq 1$ 、 $N_m \geq 1$ 、 $P_m \geq 1$ 、 $1 \leq m \leq M$ 、ただし、 $M = P_1 = 1$ の場合を除く)、(5) アンプの出力端子から出力された電圧値と基準電圧値 V_{com} とを大小比較し、その比較結果を示す信号を出力する比較部と、(6) M 個の可変容量部それぞれの電圧値切替手段における切替動作を制御するとともに、 M 個の可変容量部それぞれの電圧値切替手段における切替状況および比較部から出力された信号に基づいて、デジタル値を出力端へ出力する容量制御部と、を備えることを特徴とする。

【0008】このA/D変換回路によれば、アンプの第1入力端子と出力端子との間に設けられたスイッチ素子が閉じると、アンプの第1入力端子と出力端子との間に設けられた帰還容量素子が放電される。そして、スイッチ素子が開いて、A/D変換されるべき電圧値(アナログ値)が入力端より入力すると、その入力した電圧値に応じた電荷が帰還容量素子に蓄積される。その後、容量制御部により制御された M 個の可変容量部それぞれでは、各々に含まれる N_m 個の容量素子それぞれの他端は、基準電圧値 V_{com} および P_m 個の参照電圧値 $V_{ref,m,1} \sim V_{ref,m,P_m}$ の何れかに、電圧値切替手段により切り替えられる。 M 個の可変容量部それぞれに含まれる N_m 個の容量素子の一端はアンプの第1入力端子に直接に又はスイッチ素子を介して接続されているので、この切替により、帰還容量素子から M 個の可変容量部へ電荷が移動する。そして、帰還容量素子に残されている電荷の量に応じた電圧値がアンプの出力端子より出力される。アンプより出力された電圧値は比較部により基準電圧値 V_{com} と大小比較され、その比較結果を示す信号が比較部より容量制御部へ出力される。 M 個の可変容量部それぞれの電圧値切替手段における切替状況および比較部から出力された信号に基づいて、容量制御部よりデジタル値が出力端へ出力される。

【0009】本発明に係るA/D変換回路は、 M が1であり、 N_1 および P_1 それぞれが複数であるのが好適であり、この場合には、 M 個の可変容量部それぞれに含まれる N_m 個の容量素子がチップ上で占有する面積が更に小さい。本発明に係るA/D変換回路は、 M および N_1 それぞれが1であり、 P_1 が複数であるのが好適であり、この場合には、前述の場合と比べても、 M 個の可変容量部それぞれに含まれる N_m 個の容量素子がチップ上で占有する面積が更に小さい。

【0010】本発明に係る固体撮像装置は、(1) 入射光強度に応じた値の電流信号を出力する光検出素子と、(2) 光検出素子から出力された電流信号を入力し積分して、この電流信号の積分値に応じた電圧値を出力する積分回路と、(3) 積分回路から出力された電圧値を入力して、この電圧値をデジタル値に変換する上記の本発明に係るA/D変換回路と、を備えることを特徴とする。

【0011】この固体撮像装置によれば、入射光強度に応じた値の電流信号が光検出素子より出力され、この電流信号は積分回路に入力して積分され、この積分値に応じた電圧値が積分回路より出力される。積分回路から出力された電圧値は、上記の本発明に係るA/D変換回路により、デジタル値に変換される。

【0012】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0013】(第1実施形態) 先ず、本発明の第1実施形態について説明する。図1は、第1実施形態に係るA/D変換回路20を含む固体撮像装置1の構成図である。この固体撮像装置1は、 K 個のユニット $U_1 \sim U_K$ (K は1以上の整数)を備えており、各ユニット U_k (k は1以上 K 以下の任意の整数)は、複数組のフォトダイオード(光検出素子)PDおよびスイッチ素子SW、積分回路10、A/D変換回路20ならびにスイッチ素子SW1を有する。また、この固体撮像装置1は、参照電圧供給回路30および制御回路40を備えている。

【0014】各ユニット U_k において、各フォトダイオードPDは、アノード端子が接地され、カソード端子がスイッチ素子SWを介して積分回路10の入力端に接続されており、入射光強度に応じた値の電流信号を積分回路10へ出力する。積分回路10は、フォトダイオードPDから出力された電流信号を入力し積分して、この電流信号の積分値に応じた電圧値を出力する。A/D変換回路20は、積分回路10から出力された電圧値を入力し、この電圧値(アナログ値)を12ビットのデジタル値($D_{11} \sim D_0$)に変換して、このデジタル値をスイッチ素子SW1を介して出力する。

【0015】参照電圧供給回路30は、各ユニット U_k

のA/D変換回路20に対して参照電圧を供給する。制御回路40は、各フォトダイオードPDと積分回路10との間に設けられたスイッチ素子SWの開閉を制御して、各フォトダイオードPDと積分回路10とを順次に接続する。制御回路40は、A/D変換回路20の後段に設けられたスイッチ素子SW1の開閉を制御して、各ユニットU_nから順次にデジタル値を出力させる。また、制御回路40は、積分回路10に含まれるスイッチ素子およびA/D変換回路20に含まれるスイッチ素子それぞれの開閉を制御して所要の動作を行わせる。

【0016】図2は、積分回路10の回路図である。この積分回路10は、入力端と出力端との間にアンプA₁₀、容量素子C₁₀およびスイッチ素子SW₁₀が並列的に設けられている。容量素子C₁₀は、アンプA₁₀の入力端子と出力端子との間に設けられており、スイッチ素子SW₁₀が開いているときに入力端に入力した電流信号すなわち電荷を蓄積する。スイッチ素子SW₁₀は、アンプA₁₀の入力端子と出力端子との間に設けられており、開いているときには容量素子C₁₀に電荷の蓄積を行わせ、閉じているときには容量素子C₁₀における電荷の蓄積をリセットする。

【0017】図3は、第1実施形態に係るA/D変換回路20の回路図である。このA/D変換回路20は、結合容量素子C₂₀₁、帰還容量素子C₂₀₂、スイッチ素子SW₂₀₂、アンプ201、比較部202、容量制御部203、可変容量部210、220および230を含む。

【0018】アンプ201は、積分回路10から出力された電圧値（アナログ値）を、結合容量素子C₂₀₁を介して反転入力端子に入力し、基準電圧値V_{com}を非反転入力端子に入力する。帰還容量素子C₂₀₂は、アンプ201の反転入力端子と出力端子との間に設けられ、入力した電圧値に応じて電荷を蓄える。スイッチ素子SW₂₀₂は、アンプ201の反転入力端子と出力端子との間に設けられ、開いているときには帰還容量素子C₂₀₂に電荷の蓄積を行わせ、閉じているときには帰還容量素子C₂₀₂における電荷蓄積をリセットする。そして、アンプ201は、帰還容量素子C₂₀₂に蓄積された電荷量に応じた電圧値を、出力端子より比較部202へ出力する。比較回路202は、アンプ201から出力された電圧値を反転入力端子に入力し、基準電圧値V_{com}を非反転入力端子に入力し、これら2つの入力信号の値を大小比較して、この比較結果を示す信号を容量制御部203へ出力する。

【0019】可変容量部210は、4つの容量素子C₂₁₁～C₂₁₄および4つのスイッチ素子SW₂₁₁～SW₂₁₄（電圧値切替手段）を含む。容量素子C₂₁₁は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₁₁を介して参照電圧値V_{ref1}および基準電圧値V_{com}の何れかと接続される。容量素子C₂₁₂は、一端がアンプ201の反転入力端子と接続され、他端がス

イッチ素子SW₂₁₂を介して参照電圧値V_{ref1}および基準電圧値V_{com}の何れかと接続される。容量素子C₂₁₃は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₁₃を介して参照電圧値V_{ref1}および基準電圧値V_{com}の何れかと接続される。また、容量素子C₂₁₄は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₁₄を介して参照電圧値V_{ref1}および基準電圧値V_{com}の何れかと接続される。

10 【0020】可変容量部220は、4つの容量素子C₂₂₁～C₂₂₄および4つのスイッチ素子SW₂₂₁～SW₂₂₄（電圧値切替手段）を含む。容量素子C₂₂₁は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₂₁を介して参照電圧値V_{ref2}および基準電圧値V_{com}の何れかと接続される。容量素子C₂₂₂は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₂₂を介して参照電圧値V_{ref2}および基準電圧値V_{com}の何れかと接続される。容量素子C₂₂₃は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₂₃を介して参照電圧値V_{ref2}および基準電圧値V_{com}の何れかと接続される。また、容量素子C₂₂₄は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₂₄を介して参照電圧値V_{ref2}および基準電圧値V_{com}の何れかと接続される。

20 【0021】可変容量部230は、4つの容量素子C₂₃₁～C₂₃₄および4つのスイッチ素子SW₂₃₁～SW₂₃₄（電圧値切替手段）を含む。容量素子C₂₃₁は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₃₁を介して参照電圧値V_{ref3}および基準電圧値V_{com}の何れかと接続される。容量素子C₂₃₂は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₃₂を介して参照電圧値V_{ref3}および基準電圧値V_{com}の何れかと接続される。容量素子C₂₃₃は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₃₃を介して参照電圧値V_{ref3}および基準電圧値V_{com}の何れかと接続される。また、容量素子C₂₃₄は、一端がアンプ201の反転入力端子と接続され、他端がスイッチ素子SW₂₃₄を介して参照電圧値V_{ref3}および基準電圧値V_{com}の何れかと接続される。

40 【0022】可変容量部210、220および230それぞれに含まれる各容量素子、結合容量素子C₂₀₁、帰還容量素子C₂₀₂それぞれの容量値は、

【数1】

$$C_{201} = C_{202} = 16C \quad \dots(1a)$$

$$C_{211} = C_{221} = C_{231} = 8C \quad \dots(1b)$$

$$C_{212} = C_{222} = C_{232} = 4C \quad \dots(1c)$$

$$C_{213} = C_{223} = C_{233} = 2C \quad \dots(1d)$$

$$C_{214} = C_{224} = C_{234} = C \quad \dots(1e)$$

$$V_{ref2} - V_{com} = (V_{ref1} - V_{com}) / 16 \quad \dots(2a)$$

$$V_{ref3} - V_{com} = (V_{ref2} - V_{com}) / 16 \quad \dots(2b)$$

なる関係式を満たす。なお、基準電圧値 V_{com} は一般に接地電位とされるので、以降では $V_{com} = 0$ とする。このとき、上記(2)式は、

【数3】

$$V_{ref2} = V_{ref1} / 16 \quad \dots(3a)$$

$$V_{ref3} = V_{ref2} / 16 \quad \dots(3b)$$

なる式で表される。また、これら参照電圧値 V_{ref1} 、 V_{ref2} および V_{ref3} それぞれは参照電圧供給回路30より供給される。参照電圧供給回路30は、例えば、抵抗器が縦続接続された抵抗分割回路である。

【0023】容量制御部203は、スイッチ素子 $SW_{211} \sim SW_{214}$ 、 $SW_{221} \sim SW_{224}$ および $SW_{231} \sim SW_{234}$ それぞれにおける切替動作を制御する。また、容量制御部203は、これらの12個のスイッチ素子それぞれにおける切替状況を記憶しており、この切替状況および比較部202から出力された信号に基づいて、12ビットのデジタル値 ($D_{11} \sim D_0$) を出力する。すなわち、容量制御部203より出力されるデジタル値の最上位ビット D_{11} はスイッチ素子 SW_{211} の切替状況に応じたものであり、ビット D_{10} はスイッチ素子 SW_{212} の切替状況に応じたものであり、ビット D_9 はスイッチ素子 SW_{213} の切替状況に応じたものであり、ビット D_8 はスイッチ素子 SW_{214} の切替状況に応じたものである。ビット D_7 はスイッチ素子 SW_{221} の切替状況に応じたものであり、ビット D_6 はスイッチ素子 SW_{222} の切替状況に応じたものであり、ビット D_5 はスイッチ素子 SW_{223} の切替状況に応じたものであり、ビット D_4 はスイッチ素子 SW_{224} の切替状況に応じたものである。また、ビット D_3 はスイッチ素子 SW_{231} の切替状況に応じたものであり、ビット D_2 はスイッチ素子 SW_{232} の切替状況に応じたものであり、ビット D_1 はスイッチ素子 SW_{233} の切替状況に応じたものであり、最下位ビット D_0 はスイッチ素子 SW_{234} の切替状況に応じたものである。

【0024】次に、第1実施形態に係る固体撮像装置1およびA/D変換回路20の動作について説明する。各ユニット U_k において、フォトダイオードPDから出力された電流信号は、スイッチ素子 SW を経て積分回路10に入力し、この積分回路10の容量素子 C_{10} に電荷が蓄積されることで、入力した電流信号の値に応じた電圧値が出力される。積分回路10から出力された電圧値 V_{in} はA/D変換回路20に入力する。そして、このA/D変換回路20において電圧値 V_{in} がデジタル値 ($D_{11} \sim D_0$) に変換される。ここまで各ユニット U_k は並列に動作する。そして、各ユニット U_k のスイッチ素子 SW_1 が順次に閉じて、各ユニット U_k のA/D変換回路20から出力されたデジタル値が各ユニット U_k から順次に出力される。

なる関係式を満たす。ここで、 C は或る一定容量値である。また、可変容量部210に供給される参照電圧値 V_{ref1} 、可変容量部220に供給される参照電圧値 V_{ref2} 、可変容量部230に供給される参照電圧値 V_{ref3} 、および、基準電圧値 V_{com} それぞれは、

【数2】

【0025】各ユニット U_k のA/D変換回路20は以下のように動作する。A/D変換処理の第1段階においては、スイッチ素子 SW_{202} は閉じていて、帰還容量素子 C_{202} は放電されている。また、スイッチ素子 $SW_{211} \sim SW_{214}$ 、 $SW_{221} \sim SW_{224}$ および $SW_{231} \sim SW_{234}$ それぞれは、基準電圧値 V_{com} の方に切り替えられている。そして、スイッチ素子 SW_{202} が開いて、積分回路10から出力された電圧値 V_{in} に応じた電荷量 Q が帰還容量素子 C_{202} に蓄積される。ここで、電荷量 Q は、

【数4】

$$Q = C_{202} \cdot V_{in} = 16C \cdot V_{in} \quad \dots(4)$$

なる式で表される。その後、実際のA/D変換処理が開始される。

【0026】A/D変換処理の第2では、可変容量部210に含まれる4つのスイッチ素子 $SW_{211} \sim SW_{214}$ それぞれの切替動作が行われる。まず、4つの容量素子 $C_{211} \sim C_{214}$ のうち最も容量値が大きい容量素子 C_{211} に対応するスイッチ素子 SW_{211} が参照電圧値 V_{ref1} の方に切り替わる。これにより、帰還容量素子 C_{202} に蓄積されていた電荷 Q (上記(4)式)のうち、

【数5】

$$Q_{211} = C_{211} \cdot V_{ref1} = 8C \cdot V_{ref1} \quad \dots(5)$$

なる式で表される電荷量 Q_{211} が容量素子 C_{211} に移動し、

【数6】

$$\begin{aligned} Q_{202} &= 16C \cdot V_{in} - 8C \cdot V_{ref1} \\ &= 16C (V_{in} - V_{ref1} / 2) \end{aligned} \quad \dots(6)$$

なる式で表される電荷量 Q_{202} が帰還容量素子 C_{202} に残る。

【0027】そして、アンプ201より電圧値 ($V_{in} - V_{ref1} / 2$) が出力される。比較部202により、アン

プ201より反転入力端子に入力する電圧値 ($V_{in} - V_{ref1} / 2$) と、非反転入力端子に入力する基準電圧値 V_{com} ($=0$) とが、大小比較されて、電圧値 ($V_{in} - V_{ref1} / 2$) の符号が判定される。この結果は、容量制御部203に入力され、出力すべき最上位ビット D_{11} の値として記憶される。すなわち、電圧値 ($V_{in} - V_{ref1} / 2$) が正であれば $D_{11} = 1$ とされ、そうでなければ $D_{11} = 0$ とされる。

【0028】もし、電圧値 ($V_{in} - V_{ref1} / 2$) が正で

$$\begin{aligned} Q_{202} &= 16C(V_{in} - V_{ref1} / 2) - 4C \cdot V_{ref1} \\ &= 16C(V_{in} - 3V_{ref1} / 4) \end{aligned} \quad \dots(8)$$

なる式で表される電荷量 Q_{202} が帰還容量素子 C_{202} に残る。

【0029】そして、アンプ201より電圧値 ($V_{in} - 3V_{ref1} / 4$) が出力される。比較部202により、アンプ201より反転入力端子に入力する電圧値 ($V_{in} - 3V_{ref1} / 4$) と、非反転入力端子に入力する基準電圧値 V_{com} ($=0$) とが、大小比較されて、電圧値 ($V_{in} - 3V_{ref1} / 4$) の符号が判定される。この結果は、容量制御部203に入力され、出力すべきビット D_{10} の値として記憶される。すなわち、電圧値 ($V_{in} - 3V_{ref1} / 4$) が正であれば $D_{10} = 1$ とされ、そうでなければ $D_{10} = 0$ とされる。

$$\begin{aligned} Q_{202} &= 16C(V_{in} - 3V_{ref1} / 4) - 2C \cdot V_{ref1} \\ &= 16C(V_{in} - 7V_{ref1} / 8) \end{aligned} \quad \dots(10)$$

なる式で表される電荷量 Q_{202} が帰還容量素子 C_{202} に残る。

【0031】そして、アンプ201より電圧値 ($V_{in} - 7V_{ref1} / 8$) が出力される。比較部202により、アンプ201より反転入力端子に入力する電圧値 ($V_{in} - 7V_{ref1} / 8$) と、非反転入力端子に入力する基準電圧値 V_{com} ($=0$) とが、大小比較されて、電圧値 ($V_{in} - 7V_{ref1} / 8$) の符号が判定される。この結果は、容量制御部203に入力され、出力すべきビット D_9 の値として記憶される。すなわち、電圧値 ($V_{in} - 7V_{ref1} / 8$) が正であれば $D_9 = 1$ とされ、そうでなければ $D_9 = 0$ とされる。

【0032】逆に、最上位ビット D_{11} の値の決定の際に電圧値 ($V_{in} - V_{ref1} / 2$) が負であれば、スイッチ素子 SW_{211} が基準電圧値 V_{com} の方に戻って、電荷量 Q (上記(4)式) の全てが帰還容量素子 C_{202} に戻る。その後、次に容量値が大きい容量素子 C_{212} に対応するスイッチ素子 SW_{212} が参照電圧値 V_{ref1} の方に切り替わる。これにより、帰還容量素子 C_{202} に蓄積されていた電荷 Q (上記(4)式) のうち、

$$Q_{212} = C_{212} \cdot V_{ref1} = 4C \cdot V_{ref1} \quad \dots(11)$$

なる式で表される電荷量 Q_{212} が容量素子 C_{212} に移動し、

あれば、次に容量値が大きい容量素子 C_{212} に対応するスイッチ素子 SW_{212} が参照電圧値 V_{ref1} の方に切り替わる。これにより、これまで帰還容量素子 C_{202} に蓄積されていた電荷 Q_{202} (上記(6)式) のうち、

【数7】

$$Q_{212} = C_{212} \cdot V_{ref1} = 4C \cdot V_{ref1} \quad \dots(7)$$

なる式で表される電荷量 Q_{212} が容量素子 C_{212} に移動し、

【数8】

10 = 0 とされる。

【0030】さらに、電圧値 ($V_{in} - 3V_{ref1} / 4$) が正であれば、その次に容量値が大きい容量素子 C_{213} に対応するスイッチ素子 SW_{213} が参照電圧値 V_{ref1} の方に切り替わる。これにより、これまで帰還容量素子 C_{202} に蓄積されていた電荷 Q_{202} (上記(8)式) のうち、

【数9】

$$Q_{213} = C_{213} \cdot V_{ref1} = 2C \cdot V_{ref1} \quad \dots(9)$$

なる式で表される電荷量 Q_{213} が容量素子 C_{213} に移動し、

【数10】

$$Q_{202} = 16C(V_{in} - 7V_{ref1} / 8) - 2C \cdot V_{ref1} \quad \dots(10)$$

【数12】

$$\begin{aligned} Q_{202} &= 16C \cdot V_{in} - 4C \cdot V_{ref1} \\ &= 16C(V_{in} - V_{ref1} / 4) \end{aligned} \quad \dots(12)$$

なる式で表される電荷量 Q_{202} が帰還容量素子 C_{202} に残る。

【0033】そして、アンプ201より電圧値 ($V_{in} - V_{ref1} / 4$) が出力される。比較部202により、アンプ201より反転入力端子に入力する電圧値 ($V_{in} - V_{ref1} / 4$) と、非反転入力端子に入力する基準電圧値 V_{com} ($=0$) とが、大小比較されて、電圧値 ($V_{in} - V_{ref1} / 4$) の符号が判定される。この結果は、容量制御部203に入力され、出力すべきビット D_{10} の値として記憶される。すなわち、電圧値 ($V_{in} - V_{ref1} / 4$) が正であれば $D_{10} = 1$ とされ、そうでなければ $D_{10} = 0$ とされる。

【0034】このようにして、可変容量部210に含まれる4つのスイッチ素子 $SW_{211} \sim SW_{214}$ それぞれの切替状況が順次に決定され、ビット $D_{11} \sim D_8$ それぞれの値が順次に決定される。図4は、A/D変換回路20に入力する電圧値 V_{in} と4つのビット $D_{11} \sim D_8$ それぞれの値との関係を示す図表である。これら4つのビット $D_{11} \sim D_8$ それぞれの値が決定された時点では、帰還容量素子 C_{202} に残っている電荷量 Q_1 は $C \cdot V_{ref1}$ 以下であ

り、アンプ201から出力される電圧値 V_1 は、 $V_{ref1}/2^4$ 以下であって、以上の第2段階においてA/D変換し切れなかった残差である。

【0035】以上のA/D変換処理の第2段階に続く第3段階では、第2段階終了時に帰還容量素子 C_{202} に残っている電荷量 Q_1 について、可変容量部220に含まれる4つのスイッチ素子 $SW_{221} \sim SW_{224}$ それぞれの切替動作が、第2段階の処理と同様に行われる。すなわち、まず、4つの容量素子 $C_{221} \sim C_{224}$ のうち最も容量値が大きい容量素子 C_{221} に対応するスイッチ素子 SW_{221} が参照電圧値 V_{ref2} の方に切り替わる。これにより、帰還容量素子 C_{202} に蓄積されていた電荷 Q_1 のうち、

$$\text{【数13】} \\ Q_{221} = C_{221} \cdot V_{ref2} = 8C \cdot V_{ref2} \quad \dots(13)$$

なる式で表される電荷量 Q_{221} が容量素子 C_{221} に移動し、

$$\text{【数14】} \\ Q_{202} = 16C \cdot V_1 - 8C \cdot V_{ref2} \\ = 16C(V_1 - V_{ref2}/2) \quad \dots(14)$$

なる式で表される電荷量 Q_{202} が帰還容量素子 C_{202} に残る。

【0036】そして、アンプ201より電圧値 $(V_1 - V_{ref2}/2)$ が出力される。比較部202により、アンプ201より反転入力端子に入力する電圧値 $(V_1 - V_{ref2}/2)$ と、非反転入力端子に入力する基準電圧値 V_{com} (=0)とが、大小比較されて、電圧値 $(V_1 - V_{ref2}/2)$ の符号が判定される。この結果は、容量制御部203に入力され、出力すべきビット D_7 の値として記憶される。電圧値 $(V_1 - V_{ref2}/2)$ が正であれば $D_7=1$ とされ、そうでなければ $D_7=0$ とされる。すなわち、電圧値 $(V_1 - V_{ref1}/32)$ が正であれば $D_7=1$ とされ、そうでなければ $D_7=0$ とされる。

【0037】以降も同様にして、可変容量部220に含まれる4つのスイッチ素子 $SW_{221} \sim SW_{224}$ それぞれの切替状況が順次に決定され、ビット $D_7 \sim D_4$ それぞれの値が順次に決定される。図5は、電圧値 V_1 と4つのビット $D_7 \sim D_4$ それぞれの値との関係を示す図表である。これら4つのビット $D_7 \sim D_4$ それぞれの値が決定された時点では、帰還容量素子 C_{202} に残っている電荷量 Q_2 は $C \cdot V_{ref2}$ 以下($C \cdot V_{ref1}/2^4$ 以下)であり、アンプ201から出力される電圧値 V_2 は、 $V_{ref2}/2^4$ 以下($V_{ref1}/2^8$ 以下)であって、以上の第3段階においてもA/D変換し切れなかった残差である。

【0038】以上のA/D変換処理の第3段階に続く第4段階では、第3段階終了時に帰還容量素子 C_{202} に残っている電荷量 Q_2 について、可変容量部230に含まれる4つのスイッチ素子 $SW_{231} \sim SW_{234}$ それぞれの切替動作が、第2段階の処理と同様に行われる。すなわ

ち、まず、4つの容量素子 $C_{231} \sim C_{234}$ のうち最も容量値が大きい容量素子 C_{231} に対応するスイッチ素子 SW_{231} が参照電圧値 V_{ref3} の方に切り替わる。これにより、帰還容量素子 C_{202} に蓄積されていた電荷 Q_1 のうち、

$$\text{【数15】} \\ Q_{231} = C_{231} \cdot V_{ref3} = 8C \cdot V_{ref3} \quad \dots(15)$$

なる式で表される電荷量 Q_{231} が容量素子 C_{231} に移動し、

$$\text{【数16】} \\ Q_{202} = 16C \cdot V_2 - 8C \cdot V_{ref3} \\ = 16C(V_2 - V_{ref3}/2) \quad \dots(16)$$

なる式で表される電荷量 Q_{202} が帰還容量素子 C_{202} に残る。

【0039】そして、アンプ201より電圧値 $(V_2 - V_{ref3}/2)$ が出力される。比較部202により、アンプ201より反転入力端子に入力する電圧値 $(V_2 - V_{ref3}/2)$ と、非反転入力端子に入力する基準電圧値 V_{com} (=0)とが、大小比較されて、電圧値 $(V_2 - V_{ref3}/2)$ の符号が判定される。この結果は、容量制御部203に入力され、出力すべきビット D_3 の値として記憶される。電圧値 $(V_2 - V_{ref3}/2)$ が正であれば $D_3=1$ とされ、そうでなければ $D_3=0$ とされる。すなわち、電圧値 $(V_2 - V_{ref1}/512)$ が正であれば $D_3=1$ とされ、そうでなければ $D_3=0$ とされる。

【0040】以降も同様にして、可変容量部230に含まれる4つのスイッチ素子 $SW_{231} \sim SW_{234}$ それぞれの切替状況が順次に決定され、ビット $D_3 \sim D_0$ それぞれの値が順次に決定される。図6は、電圧値 V_2 と4つのビット $D_3 \sim D_0$ それぞれの値との関係を示す図表である。これら4つのビット $D_3 \sim D_0$ それぞれの値が決定された時点では、帰還容量素子 C_{202} に残っている電荷量 Q_3 は $C \cdot V_{ref3}$ 以下($C \cdot V_{ref1}/2^8$ 以下)であり、アンプ201から出力される電圧値 V_3 は、 $V_{ref3}/2^4$ 以下($V_{ref1}/2^{12}$ 以下)であって、以上の第4段階においてもA/D変換し切れなかった残差である。

【0041】以上のA/D変換処理の第4段階が終了した時点では、12個のスイッチ素子 $SW_{211} \sim SW_{214}$ 、 $SW_{221} \sim SW_{224}$ および $SW_{231} \sim SW_{234}$ それぞれにおける切替状況に応じた12ビットのデジタル値 $D_{11} \sim D_0$ が容量制御部203に記憶されている。そして、第4段階が終了した後、この12ビットのデジタル値 $D_{11} \sim D_0$ が容量制御部203より出力される。

【0042】このA/D変換回路20では、可変容量部210、220および230それぞれに含まれる容量素子ならびに帰還容量部 C_{202} の全体がチップ上で占有する面積は、容量値 $61C (= 3(8C + 4C + 2C + C) + 16C)$ の容量素子1つ分の占有面積に相当する。一方、従来の12ビットデジタル値を出力するA/D変換

10

20

30

40

50

回路では、12個の容量素子が占有する面積は、容量値 $2^{12}C$ の容量素子1つの占有面積に相当する。このように、本実施形態に係るA/D変換回路20は、従来のものと比較して、容量素子の占有面積が $1/67$ である。

【0043】したがって、このような占有面積が小さいA/D変換回路20を含む固体撮像装置1は、積分回路10毎にA/D変換回路20を設けることにより高速化を図ることができ、A/D変換回路20から出力されるデジタル値のビット数を多くすることにより高精度化を図ることもでき、また、フォトダイオードPDの個数を多くすることにより高解像度化を図ることもできる。また、従来のA/D変換回路における最大容量値が $2^{11}C$ であるのに対して、本実施形態に係るA/D変換回路20における最大容量値は $16C$ であるので、本実施形態に係るA/D変換回路20では、寄生容量が小さく、この点でもA/D変換処理を高速に行うことができる。

【0044】(第2実施形態)次に、本発明の第2実施形態について説明する。第1実施形態の場合と比較して、第2実施形態に係る固体撮像装置は、A/D変換回路20の構成が異なる。図7は、第2実施形態に係るA/D変換回路20の回路図である。このA/D変換回路20は、結合容量素子 C_{201} 、帰還容量素子 C_{202} 、スイッチ素子 SW_{202} 、アンプ201、比較部202、容量制御部203および可変容量部240を含む。

【0045】アンプ201は、積分回路10から出力された電圧値(アナログ値)を、結合容量素子 C_{201} を介して反転入力端子に入力し、基準電圧値 V_{com} を非反転入力端子に入力する。帰還容量素子 C_{202} は、アンプ201の反転入力端子と出力端子との間に設けられ、入力した電圧値に応じて電荷を蓄える。スイッチ素子 SW_{202} は、アンプ201の反転入力端子と出力端子との間に設けられ、開いているときには帰還容量素子 C_{202} に電荷の蓄積を行わせ、閉じているときには帰還容量素子 C_{202} における電荷蓄積をリセットする。そして、アンプ201は、帰還容量素子 C_{202} に蓄積された電荷量に応じた電圧値を、出力端子より比較部202へ出力する。比較回路202は、アンプ201から出力された電圧値を反転入力端子に入力し、基準電圧値 V_{com} を非反転入力端子に入力し、これら2つの入力信号の値を大小比較して、この比較結果を示す信号を容量制御部203へ出力する。

【0046】可変容量部240は、4つの容量素子 $C_{241} \sim C_{244}$ および4つのスイッチ素子 $SW_{241} \sim SW_{244}$ (電圧値切替手段)を含む他、スイッチ素子 SW_{2411} 、 SW_{2412} 、 SW_{2421} 、 SW_{2422} 、 SW_{2431} 、 SW_{2432} 、 SW_{2441} および SW_{2442} を含む。容量素子 C_{241} は、一端がスイッチ素子 SW_{2411} を介してアンプ201の反転入力端子と接続され、該一端がスイッチ素子 SW_{2412} を介して基準電圧値 V_{com} とされ、他端がスイッチ素子 S

W_{241} を介して参照電圧値 V_{ref1} 、 V_{ref2} および V_{ref3} ならびに基準電圧値 V_{com} の何れかと接続される。容量素子 C_{242} は、一端がスイッチ素子 SW_{2421} を介してアンプ201の反転入力端子と接続され、該一端がスイッチ素子 SW_{2422} を介して基準電圧値 V_{com} とされ、他端がスイッチ素子 SW_{242} を介して参照電圧値 V_{ref1} 、 V_{ref2} および V_{ref3} ならびに基準電圧値 V_{com} の何れかと接続される。容量素子 C_{243} は、一端がスイッチ素子 SW_{2431} を介してアンプ201の反転入力端子と接続され、該一端がスイッチ素子 SW_{2432} を介して基準電圧値 V_{com} とされ、他端がスイッチ素子 SW_{243} を介して参照電圧値 V_{ref1} 、 V_{ref2} および V_{ref3} ならびに基準電圧値 V_{com} の何れかと接続される。また、容量素子 C_{244} は、一端がスイッチ素子 SW_{2441} を介してアンプ201の反転入力端子と接続され、該一端がスイッチ素子 SW_{2442} を介して基準電圧値 V_{com} とされ、他端がスイッチ素子 SW_{244} を介して参照電圧値 V_{ref1} 、 V_{ref2} および V_{ref3} ならびに基準電圧値 V_{com} の何れかと接続される。

【0047】可変容量部240に含まれる各容量素子、結合容量素子 C_{201} 、帰還容量素子 C_{202} それぞれの容量値は、

【数17】

$$C_{201} = C_{202} = 16C \quad \dots(17a)$$

$$C_{241} = 8C \quad \dots(17b)$$

$$C_{242} = 4C \quad \dots(17c)$$

$$C_{243} = 2C \quad \dots(17d)$$

$$C_{244} = C \quad \dots(17e)$$

なる関係式を満たす。ここで、 C は或る一定容量値である。また、可変容量部240に供給される参照電圧値 V_{ref1} 、 V_{ref2} および V_{ref3} ならびに基準電圧値 V_{com} それぞれは、上記(2)式を満たす。なお、基準電圧値 V_{com} は一般には接地電位とされるので、以降では $V_{com} = 0$ とする。また、これら参照電圧値 V_{ref1} 、 V_{ref2} および V_{ref3} それぞれは参照電圧供給回路30より供給される。

【0048】容量制御部203は、スイッチ素子 $SW_{241} \sim SW_{244}$ それぞれにおける切替動作を制御する。また、容量制御部203は、これらの4個のスイッチ素子それぞれにおける切替状況を記憶しており、この切替状況および比較部202から出力された信号に基づいて、12ビットのデジタル値($D_{11} \sim D_0$)を出力する。

【0049】次に、第2実施形態に係るA/D変換回路20の動作について説明する。A/D変換処理の第1段階では、スイッチ素子 SW_{202} は閉じていて、帰還容量素子 C_{202} は放電されている。スイッチ素子 $SW_{241} \sim SW_{244}$ それぞれは、基準電圧値 V_{com} の方に切り替えられている。スイッチ素子 SW_{2411} 、 SW_{2421} 、 SW_{2431} および SW_{2441} それぞれは閉じている。また、スイッチ素子 SW_{2412} 、 SW_{2422} 、 SW_{2432} および SW_{2442} それぞ

れは開いている。そして、スイッチ素子 SW_{202} が開いて、積分回路 10 から出力された電圧値 V_{in} に応じた電荷量 Q が帰還容量素子 C_{202} に蓄積される。ここで、電荷量 Q は上記 (4) 式で表される。その後、実際の A/D 変換処理が開始される。

【0050】A/D変換処理の第2段階では、可変容量部 240 に含まれる 4 つのスイッチ素子 $SW_{241} \sim SW_{244}$ それぞれは、参照電圧値 V_{ref1} と基準電圧値 V_{com} との間で切替動作が行われる。この切替動作は、第1実施形態の場合の第2段階と同様である。そして、この第2段階が終了した時点では、可変容量部 240 に含まれる 4 つのスイッチ素子 $SW_{241} \sim SW_{244}$ それぞれの切替状況（参照電圧値 V_{ref1} および基準電圧値 V_{com} の何れであるか）が順次に決定され、ビット $D_{11} \sim D_8$ それぞれの値が順次に決定される。A/D変換回路 20 に入力する電圧値 V_{in} と 4 つのビット $D_{11} \sim D_8$ それぞれの値との関係は、図 4 に示されたものと同様である。これら 4 つのビット $D_{11} \sim D_8$ それぞれの値が決定された時点では、帰還容量素子 C_{202} に残っている電荷量 Q_1 は $C \cdot V_{ref1}$ 以下であり、アンプ 201 から出力される電圧値 V_1 は、 $V_{ref1} / 2^4$ 以下であって、以上の第2段階において A/D 変換し切れなかった残差である。

【0051】以上の A/D 変換処理の第2段階の後に、スイッチ素子 SW_{2411} 、 SW_{2421} 、 SW_{2431} および SW_{2441} それぞれが開き、スイッチ素子 SW_{2412} 、 SW_{2422} 、 SW_{2432} および SW_{2442} それぞれが閉じ、スイッチ素子 $SW_{241} \sim SW_{244}$ それぞれが基準電圧値 V_{com} の方に切り替えられて、容量素子 $C_{221} \sim C_{224}$ それぞれが放電される。そして、スイッチ素子 SW_{2411} 、 SW_{2421} 、 SW_{2431} および SW_{2441} それぞれが閉じ、スイッチ素子 SW_{2412} 、 SW_{2422} 、 SW_{2432} および SW_{2442} それぞれが開く。その後、A/D 変換処理の第3段階が開始される。

【0052】A/D変換処理の第3段階では、第2段階終了時に帰還容量素子 C_{202} に残っている電荷量 Q_1 について、可変容量部 240 に含まれる 4 つのスイッチ素子 $SW_{241} \sim SW_{244}$ それぞれは、参照電圧値 V_{ref2} と基準電圧値 V_{com} との間で切替動作が行われる。この切替動作は、第1実施形態の場合の第3段階と同様である。そして、この第3段階が終了した時点では、可変容量部 240 に含まれる 4 つのスイッチ素子 $SW_{241} \sim SW_{244}$ それぞれの切替状況（参照電圧値 V_{ref2} および基準電圧値 V_{com} の何れであるか）が順次に決定され、ビット $D_7 \sim D_4$ それぞれの値が順次に決定される。電圧値 V_1 と 4 つのビット $D_7 \sim D_4$ それぞれの値との関係は、図 5 に示されたものと同様である。これら 4 つのビット $D_7 \sim D_4$ それぞれの値が決定された時点では、帰還容量素子 C_{202} に残っている電荷量 Q_2 は $C \cdot V_{ref2}$ 以下であり、アンプ 201 から出力される電圧値 V_2 は、 $V_{ref2} / 2^4$ 以下であって、以上の第3段階においても A/D 変換し切れな

かった残差である。

【0053】以上の A/D 変換処理の第3段階の後に、スイッチ素子 SW_{2411} 、 SW_{2421} 、 SW_{2431} および SW_{2441} それぞれが開き、スイッチ素子 SW_{2412} 、 SW_{2422} 、 SW_{2432} および SW_{2442} それぞれが閉じ、スイッチ素子 $SW_{241} \sim SW_{244}$ それぞれが基準電圧値 V_{com} の方に切り替えられて、容量素子 $C_{221} \sim C_{224}$ それぞれが放電される。そして、スイッチ素子 SW_{2411} 、 SW_{2421} 、 SW_{2431} および SW_{2441} それぞれが閉じ、スイッチ素子 SW_{2412} 、 SW_{2422} 、 SW_{2432} および SW_{2442} それぞれが開く。その後、A/D 変換処理の第4段階が開始される。

【0054】A/D変換処理の第4段階では、第3段階終了時に帰還容量素子 C_{202} に残っている電荷量 Q_2 について、可変容量部 240 に含まれる 4 つのスイッチ素子 $SW_{241} \sim SW_{244}$ それぞれは、参照電圧値 V_{ref3} と基準電圧値 V_{com} との間で切替動作が行われる。この切替動作は、第1実施形態の場合の第4段階と同様である。そして、この第4段階が終了した時点では、可変容量部 240 に含まれる 4 つのスイッチ素子 $SW_{241} \sim SW_{244}$ それぞれの切替状況（参照電圧値 V_{ref3} および基準電圧値 V_{com} の何れであるか）が順次に決定され、ビット $D_3 \sim D_0$ それぞれの値が順次に決定される。電圧値 V_2 と 4 つのビット $D_3 \sim D_0$ それぞれの値との関係は、図 6 に示されたものと同様である。これら 4 つのビット $D_3 \sim D_0$ それぞれの値が決定された時点では、帰還容量素子 C_{202} に残っている電荷量 Q_3 は $C \cdot V_{ref3}$ 以下であり、アンプ 201 から出力される電圧値 V_3 は、 $V_{ref3} / 2^4$ 以下であって、以上の第4段階においても A/D 変換し切れなかった残差である。

【0055】以上の A/D 変換処理の第4段階が終了した時点では、3 つの参照電圧値 $V_{ref1} \sim V_{ref3}$ それぞれの場合における 4 個のスイッチ素子 $SW_{241} \sim SW_{244}$ それぞれの切替状況に応じた 12 ビットのデジタル値 $D_{11} \sim D_0$ が容量制御部 203 に記憶されている。そして、第4段階が終了した後、この 12 ビットのデジタル値 $D_{11} \sim D_0$ が容量制御部 203 より出力される。

【0056】この A/D 変換回路 20 では、可変容量部 240 に含まれる容量素子ならびに帰還容量部 C_{202} の全体がチップ上で占有する面積は、容量値 $31C (= 8C + 4C + 2C + C + 16C)$ の容量素子 1 つ分の占有面積に相当する。一方、従来の 12 ビットデジタル値を出力する A/D 変換回路では、12 個の容量素子が占有する面積は、容量値 $2^{12}C$ の容量素子 1 つ分の占有面積に相当する。このように、本実施形態に係る A/D 変換回路 20 は、従来のものと比較して容量素子の占有面積が $1/132$ であり、第1実施形態に係るものと比較して容量素子の占有面積が $1/2$ である。

【0057】（第3実施形態）次に、本発明の第3実施形態について説明する。第1実施形態の場合と比較し

て、第3実施形態に係る固体撮像装置は、A/D変換回路20および参照電圧供給回路30それぞれの構成が異なる。図8は、第3実施形態に係るA/D変換回路20の回路図である。このA/D変換回路20は、結合容量素子C₂₀₁、帰還容量素子C₂₀₂、スイッチ素子S_{W202}、アンプ201、比較部202、容量制御部203および可変容量部250を含む。

【0058】アンプ201は、積分回路10から出力された電圧値（アナログ値）を、結合容量素子C₂₀₁を介して反転入力端子に入力し、基準電圧値V_{com}を非反転入力端子に入力する。帰還容量素子C₂₀₂は、アンプ201の反転入力端子と出力端子との間に設けられ、入力した電圧値に応じて電荷を蓄える。スイッチ素子S_{W202}は、アンプ201の反転入力端子と出力端子との間に設けられ、開いているときには帰還容量素子C₂₀₂に電荷の蓄積を行わせ、閉じているときには帰還容量素子C₂₀₂における電荷蓄積をリセットする。そして、アンプ201は、帰還容量素子C₂₀₂に蓄積された電荷量に応じた電圧値を、出力端子より比較部202へ出力する。比較回路202は、アンプ201から出力された電圧値を反転入力端子に入力し、基準電圧値V_{com}を非反転入力端子に入力し、これら2つの入力信号の値を大小比較

$$V_{ref2} - V_{com} = (V_{ref1} - V_{com}) / 2 \quad \dots(19a)$$

$$V_{ref3} - V_{com} = (V_{ref2} - V_{com}) / 2 \quad \dots(19b)$$

$$V_{ref4} - V_{com} = (V_{ref3} - V_{com}) / 2 \quad \dots(19c)$$

$$V_{ref5} - V_{com} = (V_{ref4} - V_{com}) / 2 \quad \dots(19d)$$

$$V_{ref6} - V_{com} = (V_{ref5} - V_{com}) / 2 \quad \dots(19e)$$

$$V_{ref7} - V_{com} = (V_{ref6} - V_{com}) / 2 \quad \dots(19f)$$

$$V_{ref8} - V_{com} = (V_{ref7} - V_{com}) / 2 \quad \dots(19g)$$

$$V_{ref9} - V_{com} = (V_{ref8} - V_{com}) / 2 \quad \dots(19h)$$

$$V_{ref10} - V_{com} = (V_{ref9} - V_{com}) / 2 \quad \dots(19i)$$

$$V_{ref11} - V_{com} = (V_{ref10} - V_{com}) / 2 \quad \dots(19j)$$

$$V_{ref12} - V_{com} = (V_{ref11} - V_{com}) / 2 \quad \dots(19k)$$

なる関係式を満たす。なお、基準電圧値V_{com}は一般には接地電位とされるので、以降ではV_{com} = 0とする。また、これら参照電圧値V_{ref1} ~ V_{ref12}それぞれは参照電圧供給回路30より供給される。参照電圧供給回路30は、例えば、抵抗器が縦続接続された抵抗分割回路である。

【0061】容量制御部203は、スイッチ素子S_{W250}における切替動作を制御する。また、容量制御部203は、このスイッチ素子S_{W250}における切替状況を記憶しており、この切替状況および比較部202から出力された信号に基づいて、12ビットのデジタル値(D₁₁ ~ D₀)を出力する。

【0062】次に、第3実施形態に係るA/D変換回路20の動作について説明する。A/D変換処理の第1段

して、この比較結果を示す信号を容量制御部203へ出力する。

【0059】可変容量部250は、容量素子C₂₅₀およびスイッチ素子S_{W250}（電圧値切替手段）を含む他、スイッチ素子S_{W251}およびS_{W252}を含む。容量素子C₂₅₀は、一端がスイッチ素子S_{W251}を介してアンプ201の反転入力端子と接続され、該一端がスイッチ素子S_{W252}を介して基準電圧値V_{com}とされ、他端がスイッチ素子S_{W250}を介して参照電圧値V_{ref1} ~ V_{ref12}および基準電圧値V_{com}の何れかと接続される。

【0060】可変容量部250に含まれる容量素子C₂₅₀、結合容量素子C₂₀₁、帰還容量素子C₂₀₂それぞれの容量値は、

【数18】

$$C_{201} = C_{202} = 16C \quad \dots(18a)$$

$$C_{250} = 8C \quad \dots(18b)$$

なる関係式を満たす。ここで、Cは或る一定容量値である。また、可変容量部250に供給される参照電圧値V_{ref1} ~ V_{ref12}および基準電圧値V_{com}それぞれは、

【数19】

階では、スイッチ素子S_{W202}は閉じていて、帰還容量素子C₂₀₂は放電されている。スイッチ素子S_{W250}は、基準電圧値V_{com}の方に切り替えられている。スイッチ素子S_{W251}は閉じている。また、スイッチ素子S_{W252}は開いている。そして、スイッチ素子S_{W202}が開いて、積分回路10から出力された電圧値V_{in}に応じた電荷量Qが帰還容量素子C₂₀₂に蓄積される。ここで、電荷量Qは上記(4)式で表される。その後、実際のA/D変換処理が開始される。

【0063】A/D変換処理の第2段階では、可変容量部250に含まれるスイッチ素子S_{W250}は、参照電圧値V_{ref1}と基準電圧値V_{com}との間で切替動作が行われる。すなわち、スイッチ素子S_{W250}が参照電圧値V_{ref1}の方に切り替わる。これにより、帰還容量素子C

202 に蓄積されていた電荷Q (上記(4)式)のうち、

【数20】

$$Q_{250} = C_{250} \cdot V_{ref1} = 8C \cdot V_{ref1} \quad \dots(20)$$

なる式で表される電荷量 Q_{250} が容量素子 C_{250} に移動し、

【数21】

$$\begin{aligned} Q_{202} &= 16C \cdot V_{in} - 8C \cdot V_{ref1} \\ &= 16C(V_{in} - V_{ref1}/2) \quad \dots(21) \end{aligned}$$

なる式で表される電荷量 Q_{202} が帰還容量素子 C_{202} に残る。

【0064】そして、アンプ201より電圧値 $(V_{in} - V_{ref1}/2)$ が出力される。比較部202により、アンプ201より反転入力端子に入力する電圧値 $(V_{in} - V_{ref1}/2)$ と、非反転入力端子に入力する基準電圧値 V_{com} ($=0$)とが、大小比較されて、電圧値 $(V_{in} - V_{ref1}/2)$ の符号が判定される。この結果は、容量制御部203に入力され、出力すべき最上位ビット D_{11} の値として記憶される。すなわち、電圧値 $(V_{in} - V_{ref1}/2)$ が正であれば $D_{11} = 1$ とされ、そうでなければ $D_{11} = 0$ とされる。このビット D_{11} の値が決定された時点では、帰還容量素子 C_{202} に残っている電荷量 Q_1 は $C \cdot V_{ref1}$ 以下であり、アンプ201から出力される電圧値 V_1 は、 $V_{ref1}/2$ 以下であって、以上の第2段階においてA/D変換し切れなかった残差である。

【0065】以上のA/D変換処理の第2段階の後に、スイッチ素子 SW_{251} が開き、スイッチ素子 SW_{252} が閉じ、スイッチ素子 SW_{250} が基準電圧値 V_{com} の方に切り替えられて、容量素子 C_{250} が放電される。そして、スイッチ素子 SW_{251} が閉じ、スイッチ素子 SW_{252} が開く。その後、A/D変換処理の第3段階が開始される。

【0066】A/D変換処理の第3段階では、第2段階終了時に帰還容量素子 C_{202} に残っている電荷量 Q_1 について、可変容量部250に含まれるスイッチ素子 SW_{250} は、参照電圧値 V_{ref2} と基準電圧値 V_{com} との間で切替動作が行われる。すなわち、スイッチ素子 SW_{250} が参照電圧値 V_{ref2} の方に切り替わる。これにより、帰還容量素子 C_{202} に蓄積されていた電荷 Q_1 のうち、

【数22】

$$Q_{250} = C_{250} \cdot V_{ref2} = 4C \cdot V_{ref1} \quad \dots(22)$$

なる式で表される電荷量 Q_{250} が容量素子 C_{250} に移動し、

【数23】

$$\begin{aligned} Q_{202} &= 16C \cdot V_1 - 4C \cdot V_{ref1} \\ &= 16C(V_1 - V_{ref1}/2^2) \quad \dots(23) \end{aligned}$$

なる式で表される電荷量 Q_{202} が帰還容量素子 C_{202} に残る。

【0067】そして、アンプ201より電圧値 $(V_1 - V_{ref1}/2^2)$ が出力される。比較部202により、ア

ンプ201より反転入力端子に入力する電圧値 $(V_1 - V_{ref1}/2^2)$ と、非反転入力端子に入力する基準電圧値 V_{com} ($=0$)とが、大小比較されて、電圧値 $(V_1 - V_{ref1}/2^2)$ の符号が判定される。この結果は、容量制御部203に入力され、出力すべきビット D_{10} の値として記憶される。すなわち、電圧値 $(V_1 - V_{ref1}/2^2)$ が正であれば $D_{10} = 1$ とされ、そうでなければ $D_{10} = 0$ とされる。このビット D_{10} の値が決定された時点では、帰還容量素子 C_{202} に残っている電荷量 Q_2 は $C \cdot V_{ref1}/2$ 以下であり、アンプ201から出力される電圧値 V_2 は、 $V_{ref1}/2^2$ 以下であって、以上の第3段階においてA/D変換し切れなかった残差である。

【0068】以上のA/D変換処理の第3段階の後に、スイッチ素子 SW_{251} が開き、スイッチ素子 SW_{252} が閉じ、スイッチ素子 SW_{250} が基準電圧値 V_{com} の方に切り替えられて、容量素子 C_{250} が放電される。そして、スイッチ素子 SW_{251} が閉じ、スイッチ素子 SW_{252} が開く。その後、A/D変換処理の第4段階が開始される。

【0069】A/D変換処理の第4段階では、第3段階終了時に帰還容量素子 C_{202} に残っている電荷量 Q_2 について、可変容量部250に含まれるスイッチ素子 SW_{250} は、参照電圧値 V_{ref3} と基準電圧値 V_{com} との間で切替動作が行われる。すなわち、スイッチ素子 SW_{250} が参照電圧値 V_{ref3} の方に切り替わる。これにより、帰還容量素子 C_{202} に蓄積されていた電荷 Q_2 のうち、

【数24】

$$Q_{250} = C_{250} \cdot V_{ref3} = 2C \cdot V_{ref1} \quad \dots(24)$$

なる式で表される電荷量 Q_{250} が容量素子 C_{250} に移動し、

【数25】

$$\begin{aligned} Q_{202} &= 16C \cdot V_1 - 2C \cdot V_{ref1} \\ &= 16C(V_1 - V_{ref1}/2^3) \quad \dots(25) \end{aligned}$$

なる式で表される電荷量 Q_{202} が帰還容量素子 C_{202} に残る。

【0070】そして、アンプ201より電圧値 $(V_2 - V_{ref1}/2^3)$ が出力される。比較部202により、アンプ201より反転入力端子に入力する電圧値 $(V_2 - V_{ref1}/2^3)$ と、非反転入力端子に入力する基準電圧値 V_{com} ($=0$)とが、大小比較されて、電圧値 $(V_2 - V_{ref1}/2^3)$ の符号が判定される。この結果は、容量制御部203に入力され、出力すべきビット D_9 の値として記憶される。すなわち、電圧値 $(V_2 - V_{ref1}/2^3)$ が正であれば $D_9 = 1$ とされ、そうでなければ $D_9 = 0$ とされる。このビット D_9 の値が決定された時点では、帰還容量素子 C_{202} に残っている電荷量 Q_3 は $C \cdot V_{ref1}/2^2$ 以下であり、アンプ201から出力される電圧値 V_3 は、 $V_{ref1}/2^3$ 以下であって、以上の第4段階においてA/D変換し切れなかった残差である。

【0071】以上のA/D変換処理の第4段階の後に、

スイッチ素子 SW_{251} が開き、スイッチ素子 SW_{252} が閉じ、スイッチ素子 SW_{250} が基準電圧値 V_{con} の方に切り替えられて、容量素子 C_{250} が放電される。そして、スイッチ素子 SW_{251} が閉じ、スイッチ素子 SW_{252} が開く。その後、A/D変換処理の第5段階が開始される。

【0072】A/D変換処理の第5段階以降も同様である。A/D変換処理の第13段階では、第12段階終了時に帰還容量素子 C_{202} に残っている電荷量について、可変容量部250に含まれるスイッチ素子 SW_{250} は、参照電圧値 V_{ref12} と基準電圧値 V_{con} との間で切替動作が行われる。この第13段階では、最下位ビット D_0 の値が容量制御部203に記憶される。

【0073】以上のA/D変換処理の第13段階が終了した時点では、12レベルの参照電圧値 $V_{ref1} \sim V_{ref12}$ それぞれの場合におけるスイッチ素子 SW_{250} の切替状況に応じた12ビットのデジタル値 $D_{11} \sim D_0$ が容量制御部203に記憶されている。そして、第13段階が終了した後、この12ビットのデジタル値 $D_{11} \sim D_0$ が容量制御部203より出力される。

【0074】このA/D変換回路20では、可変容量部240に含まれる容量素子および帰還容量部 C_{202} の全体がチップ上で占有する面積は、容量値 $24C (= 8C + 16C)$ の容量素子1つ分の占有面積に相当する。一方、従来の12ビットデジタル値を出力するA/D変換回路では、12個の容量素子が占有する面積は、容量値 $2^{12}C$ の容量素子1つ分の占有面積に相当する。このように、本実施形態に係るA/D変換回路20は、従来のものと比較して容量素子の占有面積が $1/170$ であり、第1実施形態に係るものと比較して容量素子の占有面積が $2/5$ である。

【0075】(変形例) 一般に、本発明に係るA/D変換回路に含まれる可変容量部の個数 M は1以上であり、 M 個の可変容量部のうち第 m ($1 \leq m \leq M$) の可変容量部に含まれる容量素子の個数 N_m は1以上であり、第 m の可変容量部に含まれる N_m 個の容量素子それぞれの他端(アンプの入力端子に接続される一端とは逆の側)に入力する参照電圧値のレベル数 P_m は1以上である。ただし、 $M = P_1 = 1$ の場合を除く。第 m の可変容量部に含まれる N_m 個の容量素子それぞれの容量値を $C_{m,1} \sim C_{m,N_m}$ とし、第 m の可変容量部に供給される参照電圧値を $V_{ref,m,1} \sim V_{ref,m,P_m}$ とすると、各 m 値、各 n 値 ($1 \leq n \leq N_m$) および各 p 値 ($1 \leq p \leq P_m$) について、 $C_{m,n} \cdot V_{ref,m,p}$ の各値が互いに異なるように設定される。また、 $C_{m,n} \cdot V_{ref,m,p}$ の各値は、昇順に並べたときに公比が2である等比数列であるのが好適である。A/D変換回路から出力されるデジタル値のビット数は、

$$\text{【数26】} \quad N_1 \cdot P_1 + N_2 \cdot P_2 + \dots + N_M \cdot P_M \quad \dots(26)$$

なる式で表される。

【0076】上記の各実施形態では、A/D変換回路か

ら出力されるデジタル値のビット数は12であったが、他の任意の数であってもよい。上記第1実施形態では $M=3$ 、各 $N_m=4$ 、各 $P_m=1$ であったが、一般には、 M が2以上の任意の数であって、各 N_m も2以上の任意の数であってよい。上記第2実施形態では $M=1$ 、 $N_1=4$ 、 $P_1=3$ であったが、一般には、 N_1 が2以上の任意の数であって、 P_1 も2以上の任意の数であってよく、この場合には、 N_1 個の容量素子がチップ上で占有する面積が更に小さい。上記第3実施形態では $M=1$ 、 $N_1=1$ 、 $P_1=12$ であったが、一般には、 P_1 が2以上の任意の数であってよく、この場合には、1個の容量素子がチップ上で占有する面積が更に小さい。また、 M が複数であって、各 $N_m=1$ 、各 $P_m=1$ であってもよい。 M が複数であって、各 N_m が異なってもよいし、各 P_m が異なってもよい。

【0077】

【発明の効果】以上、詳細に説明したとおり、本発明に係るA/D変換回路では、可変容量部に含まれる容量素子および帰還容量部の全体がチップ上で占有する面積は、従来のものと比較して小さい。したがって、このような占有面積が小さいA/D変換回路を含む固体撮像装置は、積分回路毎にA/D変換回路を設けることにより高速化を図ることができ、A/D変換回路から出力されるデジタル値のビット数を多くすることにより高精度化を図ることもできる。また、光検出素子の個数を多くすることにより高解像度化を図ることもできる。また、本実施形態に係るA/D変換回路は、従来のものと比較して、最大容量値が小さいので、寄生容量が小さく、この点でもA/D変換処理を高速に行うことができる。

【図面の簡単な説明】

【図1】第1実施形態に係るA/D変換回路20を含む固体撮像装置1の構成図である。

【図2】積分回路10の回路図である。

【図3】第1実施形態に係るA/D変換回路20の回路図である。

【図4】A/D変換回路20に入力する電圧値 V_{in} と4つのビット $D_{11} \sim D_8$ それぞれの値との関係を示す図表である。

【図5】電圧値 V_1 と4つのビット $D_7 \sim D_4$ それぞれの値との関係を示す図表である。

【図6】電圧値 V_2 と4つのビット $D_3 \sim D_0$ それぞれの値との関係を示す図表である。

【図7】第2実施形態に係るA/D変換回路20の回路図である。

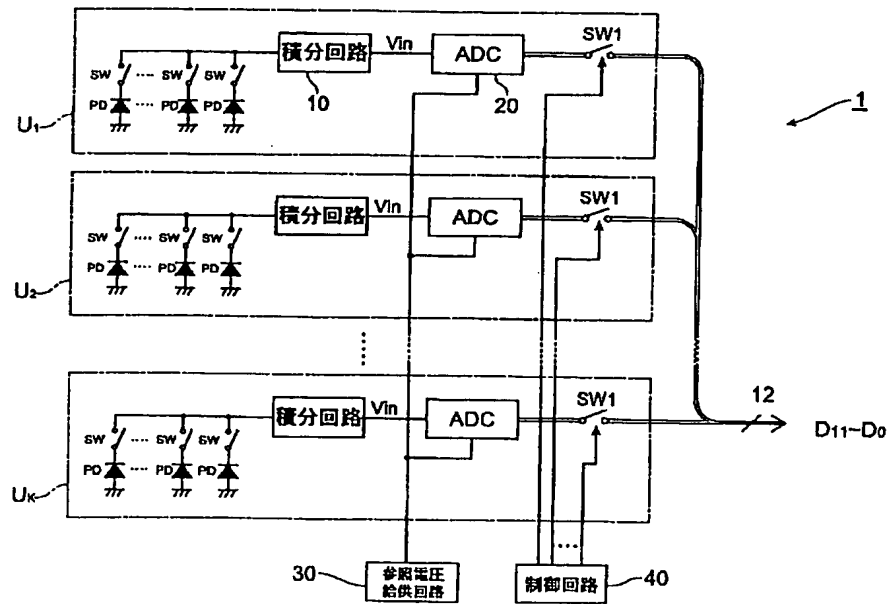
【図8】第3実施形態に係るA/D変換回路20の回路図である。

【符号の説明】

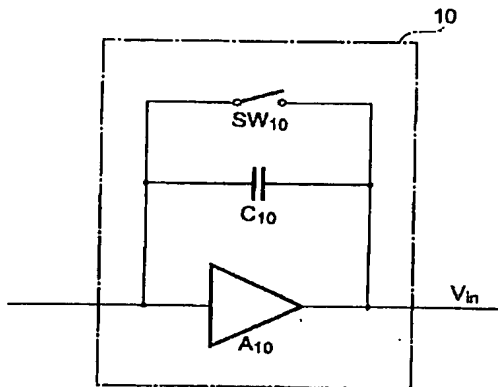
1…固体撮像装置、10…積分回路、20…A/D変換回路、30…参照電圧供給回路、40…制御回路、201…アンプ、202…比較部、203…容量制御部、2

10, 220, 230, 240, 250…可変容量部。

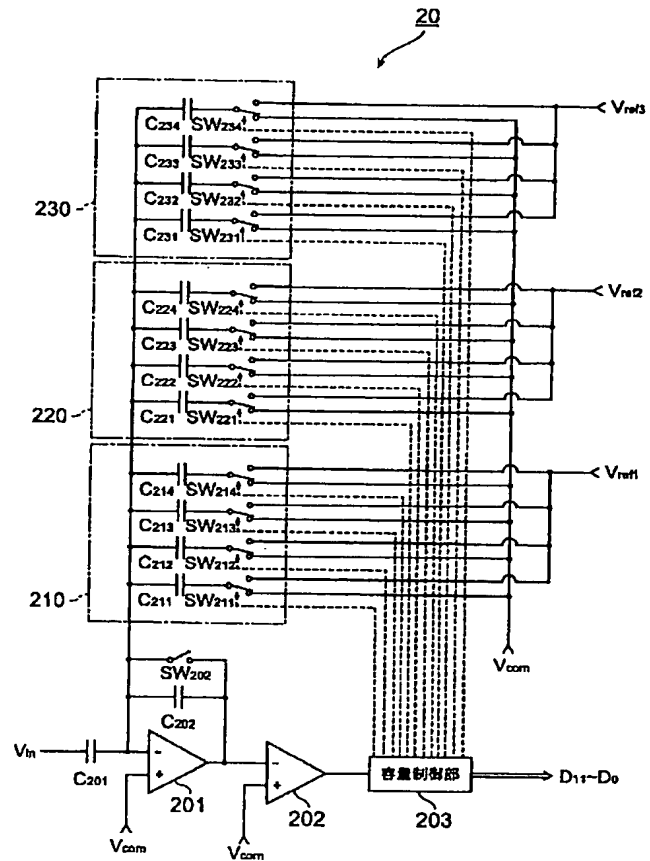
【図1】



【図2】



【図3】



【図4】

V_{in}	D_{11}	D_{10}	D_0	D_1
$15V_{ref1}/16 \sim V_{ref1}$	1	1	1	1
$14V_{ref1}/16 \sim 15V_{ref1}/16$	1	1	1	0
$13V_{ref1}/16 \sim 14V_{ref1}/16$	1	1	0	1
$12V_{ref1}/16 \sim 13V_{ref1}/16$	1	1	0	0
$11V_{ref1}/16 \sim 12V_{ref1}/16$	1	0	1	1
$10V_{ref1}/16 \sim 11V_{ref1}/16$	1	0	1	0
$9V_{ref1}/16 \sim 10V_{ref1}/16$	1	0	0	1
$8V_{ref1}/16 \sim 9V_{ref1}/16$	1	0	0	0
$7V_{ref1}/16 \sim 8V_{ref1}/16$	0	1	1	1
$6V_{ref1}/16 \sim 7V_{ref1}/16$	0	1	1	0
$5V_{ref1}/16 \sim 6V_{ref1}/16$	0	1	0	1
$4V_{ref1}/16 \sim 5V_{ref1}/16$	0	1	0	0
$3V_{ref1}/16 \sim 4V_{ref1}/16$	0	0	1	1
$2V_{ref1}/16 \sim 3V_{ref1}/16$	0	0	1	0
$V_{ref1}/16 \sim 2V_{ref1}/16$	0	0	0	1
0 $\sim V_{ref1}/16$	0	0	0	0

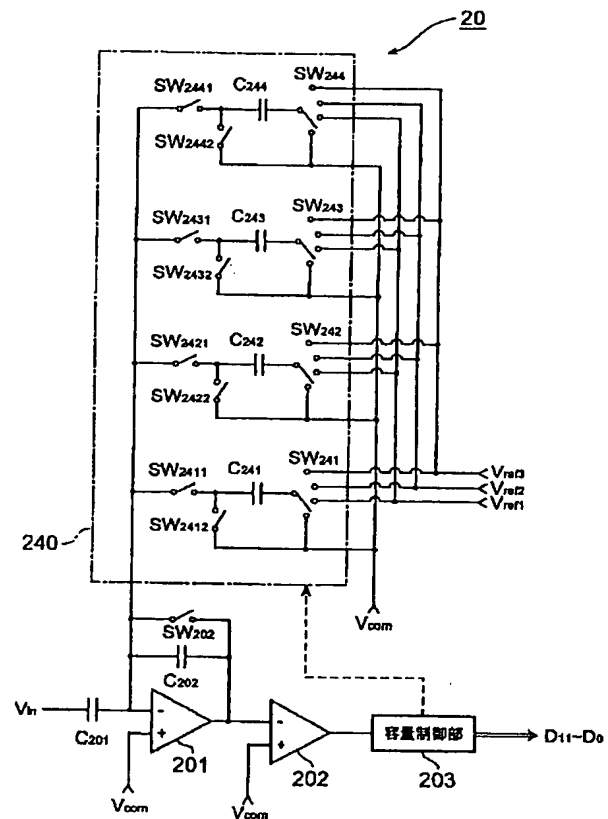
【図5】

V_1	D_7	D_6	D_5	D_4
$15V_{ref2}/16 \sim V_{ref2}$	1	1	1	1
$14V_{ref2}/16 \sim 15V_{ref2}/16$	1	1	1	0
$13V_{ref2}/16 \sim 14V_{ref2}/16$	1	1	0	1
$12V_{ref2}/16 \sim 13V_{ref2}/16$	1	1	0	0
$11V_{ref2}/16 \sim 12V_{ref2}/16$	1	0	1	1
$10V_{ref2}/16 \sim 11V_{ref2}/16$	1	0	1	0
$9V_{ref2}/16 \sim 10V_{ref2}/16$	1	0	0	1
$8V_{ref2}/16 \sim 9V_{ref2}/16$	1	0	0	0
$7V_{ref2}/16 \sim 8V_{ref2}/16$	0	1	1	1
$6V_{ref2}/16 \sim 7V_{ref2}/16$	0	1	1	0
$5V_{ref2}/16 \sim 6V_{ref2}/16$	0	1	0	1
$4V_{ref2}/16 \sim 5V_{ref2}/16$	0	1	0	0
$3V_{ref2}/16 \sim 4V_{ref2}/16$	0	0	1	1
$2V_{ref2}/16 \sim 3V_{ref2}/16$	0	0	1	0
$V_{ref2}/16 \sim 2V_{ref2}/16$	0	0	0	1
0 $\sim V_{ref2}/16$	0	0	0	0

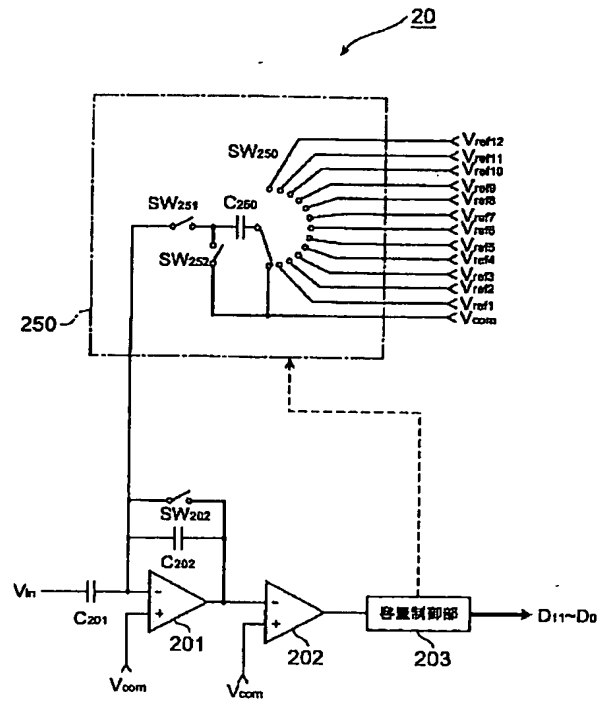
【図6】

V_2	D_3	D_2	D_1	D_0
$15V_{ref3}/16 \sim V_{ref3}$	1	1	1	1
$14V_{ref3}/16 \sim 15V_{ref3}/16$	1	1	1	0
$13V_{ref3}/16 \sim 14V_{ref3}/16$	1	1	0	1
$12V_{ref3}/16 \sim 13V_{ref3}/16$	1	1	0	0
$11V_{ref3}/16 \sim 12V_{ref3}/16$	1	0	1	1
$10V_{ref3}/16 \sim 11V_{ref3}/16$	1	0	1	0
$9V_{ref3}/16 \sim 10V_{ref3}/16$	1	0	0	1
$8V_{ref3}/16 \sim 9V_{ref3}/16$	1	0	0	0
$7V_{ref3}/16 \sim 8V_{ref3}/16$	0	1	1	1
$6V_{ref3}/16 \sim 7V_{ref3}/16$	0	1	1	0
$5V_{ref3}/16 \sim 6V_{ref3}/16$	0	1	0	1
$4V_{ref3}/16 \sim 5V_{ref3}/16$	0	1	0	0
$3V_{ref3}/16 \sim 4V_{ref3}/16$	0	0	1	1
$2V_{ref3}/16 \sim 3V_{ref3}/16$	0	0	1	0
$V_{ref3}/16 \sim 2V_{ref3}/16$	0	0	0	1
0 $\sim V_{ref3}/16$	0	0	0	0

【図7】



【图8】.



フロントページの続き

F ターム(参考)	5C024	CX37	HX01	HX23	HX31	HX35
			HX50			
	5J022	AA05	BA01	BA05	BA06	BA07
		CB07	CF01	CF03	CF07	CG01